

PTO 98-4259

CY=JP DATE=19940812 KIND=A  
PN=06-224302

DEVICE FOR MANUFACTURING WIRING MASK CONSIDERING WIRING DELAY  
[Haisen chien wo koryo shita haisen masuku seizo sochi]

Hideki Agari

UNITED STATES PATENT AND TRADEMARK OFFICE  
Washington, D.C. September 1998

Translated by: FLS, Inc.

|                              |         |   |
|------------------------------|---------|---|
| PUBLICATION COUNTRY          | (10) :  | JP  |
| DOCUMENT NUMBER              | (11) :  | 06224302  |
| DOCUMENT KIND                | (12) :  | A   |
|                              | (13) :  |   |
| PUBLICATION DATE             | (43) :  | 19940812  |
| PUBLICATION DATE             | (45) :  |   |
| APPLICATION NUMBER           | (21) :  | 0532702   |
| APPLICATION DATE             | (22) :  | 19930127  |
| ADDITION TO                  | (61) :  |   |
| INTERNATIONAL CLASSIFICATION | (51) :  | H01L 21/82; G03F 1/08;<br>G06F 15/60; H01L 21/82                  |
| DOMESTIC CLASSIFICATION      | (52) :  |   |
| PRIORITY COUNTRY             | (33) :  |   |
| PRIORITY NUMBER              | (31) :  |   |
| PRIORITY DATE                | (32) :  |   |
| INVENTOR                     | (72) :  | AGARI, HIDEKI   |
| APPLICANT                    | (71) :  | RICOH CO., LTD.   |
| TITLE                        | (54) :  | DEVICE FOR MANUFACTURING<br>WIRING MASK CONSIDER<br>WIRING DELAY  |
| FOREIGN TITLE                | [54A] : | HAISEN CHIEN SHITA WO<br>KORYO SHITA HAISEN MASUKU<br>SEIZO SOCHI |

(54) [Title of the Invention]

DEVICE FOR MANUFACTURING WIRING MASK CONSIDERING WIRING  
Delay

(57) [Summary]

[Purpose]

The optimum line width and space for each wiring section is realized from the standpoint of the mask layout.

[Constitution]

A mask layout is prepared in accordance with the graphic input through an information input means 1 by a mask layout means 2, the data in a wiring section is detected from the mask layout pattern by an optimum line space calculation means 3, and the optimum line and space comprised with the smallest RC delay is found from the resistance and capacitance for each wiring section. The mask layout is modified so that the line and space of each wiring section becomes the optimum line and space calculated respectively by a layout data modification means 4.

Key: (1) information input means; (2) mask layout means; (3) optimum line and space calculation means; (4) layout data modification means; (5) information output means; (6) data storage means (database)

[Claims]

[Claim 1]

A device for manufacturing a wiring mask provided with a mask layout means for preparing a mask layout in accordance with a graphic input through an information input means, an optimum line and space calculation means that detects the data in a wiring section from the prepared mask layout pattern and finds the optimum line and space with the smallest RC delay, and a layout data modification means that modifies the aforementioned mask layout so that the line and space of each wiring section is the respectively calculated optimum line and space.

[Claim 2]

The device for manufacturing a wiring mask of Claim 1 wherein the aforementioned line and space calculation means calculates the manufacturable minimum line width  $L_{min}$  with respect to the provided wiring pitch and the RC product from the resistance and capacitance at three points of line width in the middle thereof, the minimum line width and maximum line width thereof are used if the RC is the smallest in the case of a minimum line width or maximum line width, the RC is calculated for multiple line widths between the minimum line width  $L_{min}$  and the maximum line width  $L_{max}$  when the middle line width RC is the smallest, and the line width is used where the RC is the minimum value.

[Claim 3]

The device for manufacturing a wiring mask of Claim 1 or 2 having the form of a wiring layer level difference and capacity simulation results as a database, and the aforementioned line and space calculation means retrieves the corresponding form of the level difference from the aforementioned database, reads out the capacitance thereof, and calculates the RC.

[Detailed Specifications]

[0001] [Field of Industrial Utilization]

The present invention pertains to a device for manufacturing a mask pattern used in photolithography processes for semiconductor integrated circuit devices, and in particular, a device for manufacturing a wiring mask by which the wiring layout pattern of a wiring layer is manufactured.

[0002] [Prior Art]

In the process for manufacturing a semiconductor integrated circuit device (called LSI in the text that follows), a layout editor is used for preparing the pattern layout for a wiring layer, diffusion layer, etc. This is realized with software on a computer. The LSI mask pattern is prepared by inputting the graphics of each layer from an external input device, such as a mouse or keyboard, by using a layout editor. There are graphic limits how many wiring line widths and spaces are there for each layer because of the design rule. This is determined by limitations, such as the minimum line width capable of being patterned chiefly from a manufacturing technology standpoint. A

check of whether the prepared mask layout corresponds to this design rule is automatically performed by a computer.

[0003]

When the mask layout for a wiring layer is prepared, the delay due to the RC product of the resistance R and capacitance C thereof is important from the standpoint of determining the operating speed of the LSI. The product of R and C is referred to as RC delay, and if the line pitch is determined, a line width with the minimum RC may be determined. The relationship between the RC and the wiring width is exemplified in, for example, Figure 1 in the journal *Solid State Technology* (Japan, January, 1992).

[0004]

If a certain LSI is designed by a certain design rule, the wiring width and space of the LSI thereof are designed as uniform line width and space in accordance with the design rule thereof. This was also performed in the past by calculating the RC delay from the wiring capacity and resistance thereof with respect to the wiring layout pattern. Examples of such a design method are disclosed in the publication of Tokkai No. 1-130280 and publication of Tokkai No. 2-239373.

[0005]

The design rules for a multilayer metal wiring is determined from the following viewpoints if performance objectives for the LSI are provided collectively. (a) The pitch of the wiring metal is selected so that it matches the cell size and integration

density. (b) The line width and length of the wiring metal and the thickness of the insulating film between the wiring layers is determined so that the performance of the LSI is ensured for considering the calculation results on the basis of a delay wiring model. (c) What kind of process is selected is determined mainly for the purpose of ease of manufacture. (d) The wiring dimensions, the interlayer insulating film thickness, the via hole dimensions, and the like are determined by the materials used, consistency of the process, reliability, etc.

[0006] [Problems Which the Invention Intends to Solve]

The RC delay is considered while determining the wiring line width and space width. The fringe capacity and the coupling capacity of adjacent wiring are also considered for the capacity, which is calculated under the worst circumstances for a single line. However, in an actual circuit, the conditions differ depending on the wiring section; hence, the line width and space regularly determined collectively for an LSI are sometimes optimum for one section, but not for another section. Thus, the objective of the present invention is to realize a circuit with a small wiring delay even with the same chip size by realizing the optimum line width and space for each wiring part from the standpoint of the mask layout in an actual circuit.

[0007] [Means Used to Solve the Problems]

The device for manufacturing a wiring mask of the present invention, as shown in Figure 1, is provided with a mask layout means 2 for preparing a mask layout in accordance with a graphic

input through an information input means, an optimum line and space calculation means 3 that detects the data in a wiring section from the prepared mask layout pattern and finds the optimum line and space with the smallest RC delay, and a layout data modification means 4 that modifies the mask layout so that the line and space of each wiring section is the respectively calculated optimum line and space. 5 is a information output means that outputs the modified mask layout and 6 is a data storage means.

[0008]

In a preferred embodiment, the optimum line and space calculation means 3 calculates the manufacturable minimum line width  $L_{min}$ , the maximum line width  $L_{max}$  corresponding to the minimum space, and the RC product of the resistance and capacitance at three points of line width in the middle thereof with respect to the provided wiring pitch. If the RC is the smallest in the case of the minimum line width or maximum line width, the minimum line width or maximum line width thereof is used. If the RC of the middle line width is minimum, the RCs for multiple line widths between the minimum line width  $L_{min}$  and maximum line width  $L_{max}$  is calculated and the line width are determined so that the line width with the smallest RC is used. In a more preferred embodiment, the form of the level difference of the wiring layer and the simulation results of the capacity thereof are provided as a database. The optimum line and space calculation means 3 retrieves the corresponding level difference



form from the database thereof, reads out the capacitance thereof, and calculates the RC.

[0009] [Effects]

The operation in the present invention will be explained by referring to Figures 1 and 2. The mask layout means 2 includes a layout editor that is used in the usual layout work, a device that automatically generates a layout pattern, etc. If the layout pattern is prepared, the data for a wiring part is retrieved from the layout pattern thereof first by the optimum line and space calculation means 3, and the wiring pattern is obtained as a two-dimensional pattern. The resistance R and capacitance C are calculated for each wiring part divided into multiple sections on the basis of the retrieved data thereof for the wiring sections, and the RC delay is calculated. At this time, the process parameters, such as the wiring resistivity, dielectric constant and the film thickness of the interlayer insulating film, are stored in the data storage means 6 as the database, read out from the data storage means 6, and used in the calculation. The optimum line width and space are determined so that the RC delay is the smallest with respect to the provided pitch. The layout data modification means 4 modifies the layout data so that it is the line and space with the minimum calculated RC delay, and outputs this through the information output means 5.

[0010] [Practical Example]

As shown in Figure 3, as an example, a first layer of metal

wiring 14 and third layer of metal wiring 18 are formed parallel to each other so that they extend in the spatial in-plane direction. Second layers of metal wiring 15, 16 and 17 are inserted between the metal wiring 14 and 18 and formed in directions perpendicular to the metal wiring 14 and 18 through an interlayer insulating film 19 between it and the metal wiring 14 and through an interlayer silicon oxide insulating film 20 between it and the metal wiring 18. Turning our attention to the second metal wiring 16, the resistance R of the wiring 16 thereof is derived by calculating it from the thickness and width of the wiring layers and the resistivities. The capacity C is a sum of the capacities of the second layer wiring (between the wiring 16 and wiring 15 and between the wiring 16 and wiring 17), the capacity present between it and the first wiring 14 through the interlayer insulating film 19, and the capacity present between it and the third wiring 18 through the interlayer insulating film 20. In order to calculate the capacity between the wiring, it is also important to consider the fringe capacity; hence, the capacity may be found, for example, by utilizing a device simulator.

[0011]

The method for deriving the optimum line and space will be explained. When a pitch P is provided, as shown in Figure 3, the RC delay is minimized by optimizing the line width L and the space S for the optimum line and space, and therefore, an even higher speed operating wiring is obtained. The minimum line

width  $L_{\min}$  and the minimum space  $S_{\min}$  capable of being patterned are present from a manufacturing technology standpoint. There is a tendency to refine these because of improvements in manufacturing technology and introduction of the latest manufacturing devices. If the pitch  $P$  is set to a pitch comprising  $L_{\min}$  and  $S_{\min}$ , the line and space cannot be modified.

[0012]

Except when this is not so, that is, when  $L$  and  $S$  are both minimum values, the data in the wiring section is derived from the mask layout data, as shown in Figure 3. The line width  $L$  and the space  $S$  are obtained from the mask layout data. The wiring film thickness and the interlayer insulating film thickness between the wiring layers are determined according to the manufacturing method; hence, the wiring cross sectional view may be derived easily from the data.

[0013]

Next, turning our attention to a certain wiring, such as the wiring 16 in Figure 3, the wiring resistance  $R$  and the wiring capacity  $C$  relevant to that wiring are calculated. In order to derive the minimum  $RC$ , the  $RC$ s in the case of  $L_{\min}$  and for  $S_{\min}$  ( $L$  at this time is  $L_{\max}$ ) are calculated and the  $RC$  for the median thereof  $(L_{\min} + L_{\max})/2$  is also calculated. The  $RC$ s at these three points are compared. If the  $RC$  is smallest in the case of  $L_{\min}$  or  $L_{\max}$ , the  $L_{\min}$  or  $L_{\max}$  at that time is used as the line width. If the  $RC$  is the smallest in the case of  $(L_{\min} + L_{\max})/2$ , it is the minimum value for  $RC$  between  $L_{\min}$  and  $L_{\max}$ ; hence,  $RC$ s are

calculated for multiple line widths between  $L_{min}$  and  $L_{max}$  and the  $L$  that provides the smallest RC is used as the line width.

[0014]

Another method for deriving the optimum line and space is a method in which the database having the optimum line widths as the data in accordance with conditions, such as the wiring film thickness and the interlayer film thickness, is prepared and the optimum line and space is read out from the database thereof. If the optimum line width and space is determined in a certain wiring section, the layout data is automatically converted to the optimum value thereof in that wiring section. The optimum line width and space are also determined in the same manner for the other wiring section(s), and the layout data is converted to the optimum value(s) thereof.

[0015]

The wiring layer in the model in Figure 3 is flat, but a level difference is possible in the wiring layer because an actual interlayer insulating film is not flat. When this level difference is considered, it should be done so that the form of the level difference and the simulation results of the capacity thereof are maintained as the database, the corresponding form of the level difference is retrieved from the database thereof, the capacitance thereof is read out, and the RC is calculated.

[0016] [Merits of the Invention]

In the present invention, the line and space in the layout data are modified so that the RC delay of the line width is

smallest in each wiring section of the LSI; hence, the line width and space are optimized for each wiring section. If it is an LSI with the same cell size, an even higher speed circuit may be realized.

[Brief Description of the Figures]

[Figure 1] is a block diagram that shows the present invention.

[Figure 2] is a flow chart that shows an operation example.

[Figure 3] is a cross section that shows a wiring example.

[Explanation of the Codes]

2: mask layout means; 3: optimum line and space calculation means; 4: layout data modification means; 6: data storage means

[Figure 1]

Key: (1) information input means; (2) mask layout means; (3) optimum line and space calculation means; (4) layout data modification means; (5) information output means; (6) data storage means (database)

[Figure 2]

Key: (A) Start; (B) Mask layout; (C) Detect wiring section; (D) Calculate RC delay from resistance and capacitance in each wiring layer; (E) Modify layout data to line and space with minimum RC delay; (F) End

[Figure 3]

Key: (P) Pitch; ③ Wiring; ② Wiring; ① Wiring

JPAB

CLIPPEDIMAGE= JP406224302A

PAT-NO: JP406224302A

DOCUMENT-IDENTIFIER: JP 06224302 A

TITLE: MANUFACTURING DEVICE FOR WIRING MASK CONSIDERING WIRING DELAY

PUBN-DATE: August 12, 1994

INVENTOR-INFORMATION:

NAME

AGARI, HIDEKI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

RICOH CO LTD

N/A

APPL-NO: JP05032702

APPL-DATE: January 27, 1993

INT-CL (IPC): H01L021/82; G03F001/08 ; G06F015/60

ABSTRACT:

PURPOSE: To embody optimum line width and space at every wiring part in the case of determining mask layout.

CONSTITUTION: A mask layout means 2 draws out mask layout according to figures inputted from an information inputting means 1, and an optimum line and space calculating means 3 detects data of wiring parts from the mask layout pattern, and finds optimum line and space which minimize RC delay from the resistance value and the capacitance value at each wiring part. A layout data changing means 4 changes mask layout so that the line and space at each wiring part may be the optimum line and space calculated respectively.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-224302

(43)公開日 平成6年(1994)8月12日

|                          |         |           |                |        |
|--------------------------|---------|-----------|----------------|--------|
| (51)Int.Cl. <sup>4</sup> | 識別記号    | 庁内整理番号    | F I            | 技術表示箇所 |
| H 0 1 L 21/82            |         |           |                |        |
| G 0 3 F 1/08             |         | D 7369-2H |                |        |
| G 0 6 F 15/60            | 3 7 0 P | 7623-5L   |                |        |
|                          |         | 9169-4M   | H 0 1 L 21/ 82 | W      |

審査請求 未請求 請求項の数3 F D (全 5 頁)

(21)出願番号 特願平5-32702

(22)出願日 平成5年(1993)1月27日

(71)出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72)発明者 上里 英樹

東京都大田区中馬込1丁目3番6号 株式  
会社リコー内

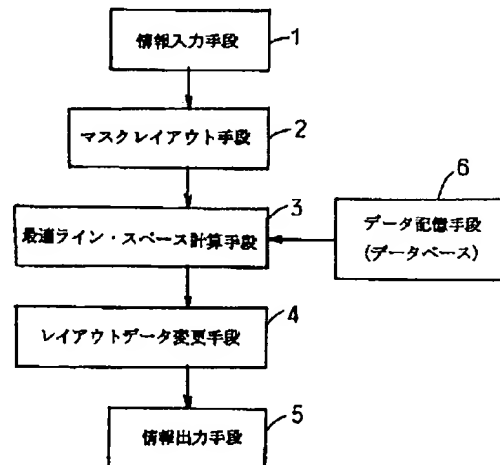
(74)代理人 弁理士 野口 繁雄

(54)【発明の名称】 配線遅延を考慮した配線マスク製造装置

(57)【要約】

【目的】 各配線部ごとに最適な線幅とスペースをマスクレイアウト上で実現する。

【構成】 マスクレイアウト手段2では情報入力手段1から入力された図形に従ってマスクレイアウトを作成し、最適ライン・スペース計算手段3でマスクレイアウトパターンから配線部のデータを検出し、各配線部における抵抗値と容量値とからRC遅延が最小になる最適ライン・スペースを求める。レイアウト・データ変更手段4では各配線部のライン・スペースがそれぞれの計算された最適ライン・スペースになるようにマスクレイアウトを変更する。



1

## 【特許請求の範囲】

【請求項1】 情報入力手段から入力された図形に従ってマスクレイアウトを作成するマスクレイアウト手段と、作成されたマスクレイアウトパターンから配線部のデータを検出し、各配線部における抵抗値と容量値とからRC遅延が最小になる最適ライン・スペースを求める最適ライン・スペース計算手段と、

各配線部のライン・スペースがそれぞれの計算された最適ライン・スペースになるように、前記マスクレイアウトを変更するレイアウト・データ変更手段とを備えた配線マスク製造装置。

【請求項2】 前記ライン・スペース計算手段は、与えられた配線ピッチに対し、製造可能な最小ライン幅 $L_{min}$ 、最小スペースに対応する最大ライン幅 $L_{max}$ 及びその中間のライン幅の3点で抵抗値と容量値の積RCを計算し、

最小ライン幅又は最大ライン幅のときにRCが最小であればその最小ライン幅又は最大ライン幅を採用し、中間のライン幅のRCが最小であれば、最小ライン幅 $L_{min}$ と最大ライン幅 $L_{max}$ の間の複数のライン幅についてRCを計算し、RCが最小値となるライン幅を採用する請求項1に記載の配線マスク製造装置。

【請求項3】 配線層の段差形状とその容量のシミュレーション結果をデータベースとして有し、前記ライン・スペース計算手段は前記データベースから対応する段差形状を検索してその容量値を読み出し、RCを計算する請求項1又は2に記載の配線マスク製造装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は半導体集積回路装置の写真製版工程で用いるマスクのパターンを製造する装置に関し、特に配線層の配線レイアウトパターンを製造する配線マスク製造装置に関するものである。

## 【0002】

【従来の技術】半導体集積回路装置（以下、LSIという）の製造プロセスで、配線や拡散層などのパターンのレイアウトを作成するものとしてレイアウト・エディタが用いられている。これはコンピュータ上のソフトウェアとして実現されている。レイアウト・エディタでは、マウスやキーボードなどの外部入力装置から各層の図形を入力することによってLSIのマスクパターンを作成する。各層ごとに配線ライン幅とスペースをいくらにするかというようなデザインルールという図形の制限がある。これは主に製造技術上パターン化できる最小の線幅などの制約により定められている。作成されたマスクレイアウトがこのデザインルールに従っているか否かのチェックもコンピュータにより自動的に行なわれている。

【0003】配線層のマスクレイアウトが作成されたとき、その抵抗値Rと容量Cの積RCによる遅延がLSIの動作速度を決める上で重要である。RとCの積はRC

2

遅延と呼ばれ、配線ピッチが定まるとRCが最小になる配線幅を決定することができる。RCと配線幅の関係は、例えば雑誌「solid state technology/日本版/January 1992」の図1に例示されている。

【0004】あるLSIがあるデザインルールで設計されたとすれば、そのLSIの配線の幅とスペースはそのデザインルールに従った均一なものとして設計される。配線のレイアウトパターンに対してはその配線容量と抵抗値とからRC遅延を計算することは従来からも行なわれている。そのような計算方法として、例えば特開平1-130280号公報や特開平2-239373号公報などに記載されている。

【0005】LSI全体の性能目標が与えられたら多層メタル配線の設計ルールは次のような観点から定められる。(a)配線メタルのピッチはセルサイズや集積密度に合うように選ばれる。(b)配線メタルの線幅及び長さ、配線層間の絶縁膜の厚さは遅延配線モデルに基づいた計算結果を参考にLSIの性能を保証するように決定する。(c)どんなプロセスを選択するかは製造のし易さを主眼点において決める。(d)配線の寸法や層間絶縁膜の厚さ、ビヤホール寸法などは用いる材料やプロセスの整合性や信頼性などから決める。

## 【0006】

【発明が解決しようとする課題】配線の線幅やスペース幅を決定する際に、RC遅延が考慮され、容量はフリンジ容量及び近接する配線とのカップリング容量も考慮し、単一線路としては最悪の状況下で計算される。しかし、実際の回路においては配線部によって条件が異なるので、LSI全体として一定に定められた線幅やスペースは、一部では最適になることもあるが、他の部分では最適にはならない。そこで、本発明は実装の回路において各配線部ごとに最適な線幅とスペースをマスクレイアウト上で実現することにより、同じチップサイズでも配線遅延の小さい回路を実現することを目的とするものである。

## 【0007】

【課題を解決するための手段】本発明の配線マスク製造装置は、図1に示されるように、情報入力手段1から入力された図形に従ってマスクレイアウトを作成するマスクレイアウト手段2と、作成されたマスクレイアウトパターンから配線部のデータを検出し、各配線部における抵抗値と容量値とからRC遅延が最小になる最適ライン・スペースを求める最適ライン・スペース計算手段3と、各配線部のライン・スペースがそれぞれの計算された最適ライン・スペースになるようにマスクレイアウトを変更するレイアウト・データ変更手段4とを備えている。5は変更されたマスクレイアウトを出力する情報出力手段、6はデータベースなどを記憶しているデータ記憶手段である。

【0008】好ましい態様では、最適ライン・スペース



計算手段3は、与えられた配線ピッチに対し、製造可能な最小ライン幅 $L_{min}$ 、最小スペースに対応する最大ライン幅 $L_{max}$ 及びその中間のライン幅の3点で抵抗値と容量値の積 $RC$ を計算し、最小ライン幅又は最大ライン幅のときに $RC$ が最小であればその最小ライン幅又は最大ライン幅を採用し、中間のライン幅の $RC$ が最小であれば、最小ライン幅 $L_{min}$ と最大ライン幅 $L_{max}$ の間の複数のライン幅について $RC$ を計算し、 $RC$ が最小値となるライン幅を採用するようにライン幅を決定する。さらに好ましい態様では、配線層の段差形状とその容量のシミュレーション結果をデータベースとして備えており、最適ライン・スペース計算手段3はそのデータベースから対応する段差形状を検索してその容量値を読み出し、 $RC$ を計算する。

【0009】

【作用】本発明の動作を図1と図2を参照して説明する。マスクレイアウト手段2は通常のレイアウト作業で用いられているレイアウト・エディタや、レイアウトパターンを自動的に発生する装置などを含んだものである。レイアウトパターンが作成されると、最適ライン・スペース計算手段3では、まずそのレイアウトパターンから配線部のデータが検索されて配線パターンが二次元パターンとして得られる。その検索された配線部のデータを元にして複数の分割された各配線部ごとに抵抗値 $R$ と容量値 $C$ が計算され、 $RC$ 遅延が計算される。このとき、配線の抵抗率や層間絶縁膜の比誘電率、層間絶縁膜の膜厚などのプロセスパラメータはデータ記憶手段6にデータベースとして記憶されており、データ記憶手段6から読み出して計算に用いられる。与えられたピッチに対して $RC$ 遅延が最小になるような最適ライン幅とスペースが求められる。レイアウトデータ変更手段4は計算された $RC$ 遅延最小のライン・スペースになるように、レイアウトデータを変更し、情報出力手段5から出力する。

【0010】

【実施例】一例として図3に示されるように、1層目メタル配線14と3層目メタル配線18が紙面の面内方向に延びるように互いに平行に形成されている。2層目のメタル配線15、16、17がメタル配線14と18の間に挟まれ、メタル配線14との間にはシリコン酸化膜の層間絶縁膜19を介し、メタル配線18との間にはシリコン酸化膜の層間絶縁膜20を介してメタル配線14、18に直交する方向に形成されているものとする。2層目メタル配線16に着目すると、その配線16の抵抗 $R$ は配線層の厚さ、幅及び抵抗率から計算により導き出される。容量 $C$ は2層目の配線おしとの容量（配線16と配線15の間及び配線16と配線17の間）と、層間絶縁膜19を介して1層目の配線14との間に存在する容量と、層間絶縁膜20を介して3層目の配線18との間に存在する容量との和となる。配線と配線との間の

容量を計算するには、フリンジ容量を考慮することも重要であるので、例えばデバイスシミュレータを利用して容量を求めることができる。

【0011】最適なライン・スペースを導き出す方法について説明する。最適なライン・スペースは、図3のようにピッチ $P$ が与えられたとき、ライン幅 $L$ とスペース $S$ を最適化して $RC$ 遅延を最小にすることであり、それにより一層高速動作可能な配線を得るものである。製造技術上パターン化できる最小のライン幅 $L_{min}$ と最小のスペース $S_{min}$ が存在する。これらは製造技術の向上や最新製造装置の導入により微細化される傾向にある。もし、ピッチ $P$ が $L_{min}$ と $S_{min}$ とからなるピッチに設定されたときは、ライン・スペースを変更することはできない。

【0012】もし、そうでない場合、即ち $L$ と $S$ がともに最小値である場合を除いて、まずマスクレイアウトから図3のような配線部のデータを導き出す。マスクレイアウトのデータからはライン幅 $L$ とスペース $S$ が得られる。製造方式によって配線の膜厚や配線層間の層間絶縁膜の膜厚が定められているので、それらのデータにより容易に配線の断面図を導き出すことができる。

【0013】次に、ある配線、例えば図3の配線16に着目し、その配線抵抗 $R$ とその配線に連なる配線容量 $C$ を計算する。最小の $RC$ を導き出すには、 $L_{min}$ のときと $S_{min}$ （このときは $L$ は $L_{max}$ となる）の $RC$ を計算し、さらにその中央値 $(L_{min}+L_{max})/2$ のときの $RC$ を計算する。この3点の $RC$ を比較し、 $L_{min}$ 又は $L_{max}$ のときの $RC$ が最小になればそのときの $L_{min}$ 又は $L_{max}$ をライン幅として採用する。もし $(L_{min}+L_{max})/2$ のときの $RC$ が最小になれば、 $L_{min}$ と $L_{max}$ の間の複数のライン幅について $RC$ を計算し、最小の $RC$ を与える $L$ をライン幅として採用する。

【0014】最適なライン・スペースを導き出す他の方法は、配線の膜厚や層間絶縁膜の膜厚などの条件に応じて最適なライン幅をデータとしてもつデータベースを作成しておき、そのデータベースから最適なライン・スペースを読み出す方法である。ある配線部で最適なライン幅とスペースが決まると、その配線部ではレイアウトデータをその最適値に自動的に変換する。他の配線部についても同様に最適なライン幅とスペースを決定し、レイアウトデータをその最適値に変換していく。

【0015】図3のモデルは配線層が平坦なものであるが、実際の層間絶縁膜は平坦ではないために配線層に段差ができる。この段差を考慮する場合は、配線層の段差形状とその容量のシミュレーション結果をデータベースとして保持しておき、そのデータベースから対応する段差形状を検索してその容量値を読み出し、 $RC$ を計算するようにすればよい。

【0016】

5

6

【発明の効果】本発明ではLSIの各配線部で配線のRC遅延が最小になるようにレイアウトデータのライン・スペースを変更するようにしたので、配線部ごとにライン幅とスペースが最適化され、同じセルサイズのLSIであれば一層高速な回路を実現することができる。

【図面の簡単な説明】

【図1】本発明を示すブロック図である。

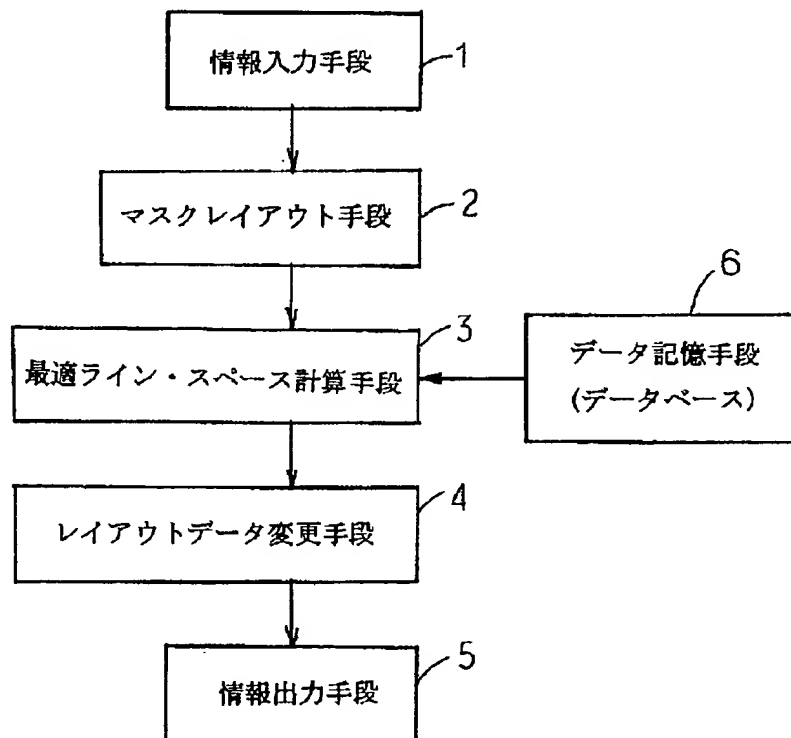
【図2】動作の一例を示すフローチャート図である。

【図3】配線の一部を示す断面図である。

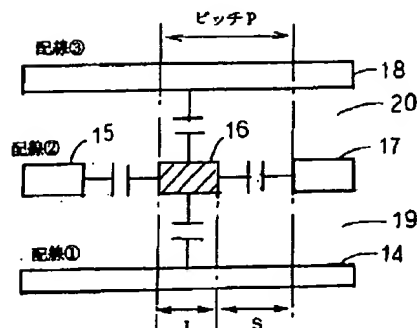
【符号の説明】

- 2 マスクレイアウト手段
- 3 最適ライン・スペース計算手段
- 4 レイアウトデータ変更手段
- 6 データ記憶手段

【図1】



【図3】



【図2】

